

DRIVE UNIT OF PLASMA DISPLAY PANEL

Publication number: JP2000338932

Publication date: 2000-12-08

Inventor: MASUMURA ARINORI

Applicant: PIONEER ELECTRONIC CORP

Classification:

- international: G09G3/20; G09G3/28; G09G5/18; G09G3/20; G09G3/28; G09G5/18;
(IPC1-7): G09G3/28; G09G3/20

- european: G09G3/28T

Application number: JP19990153497 19990601

Priority number(s): JP19990153497 19990601

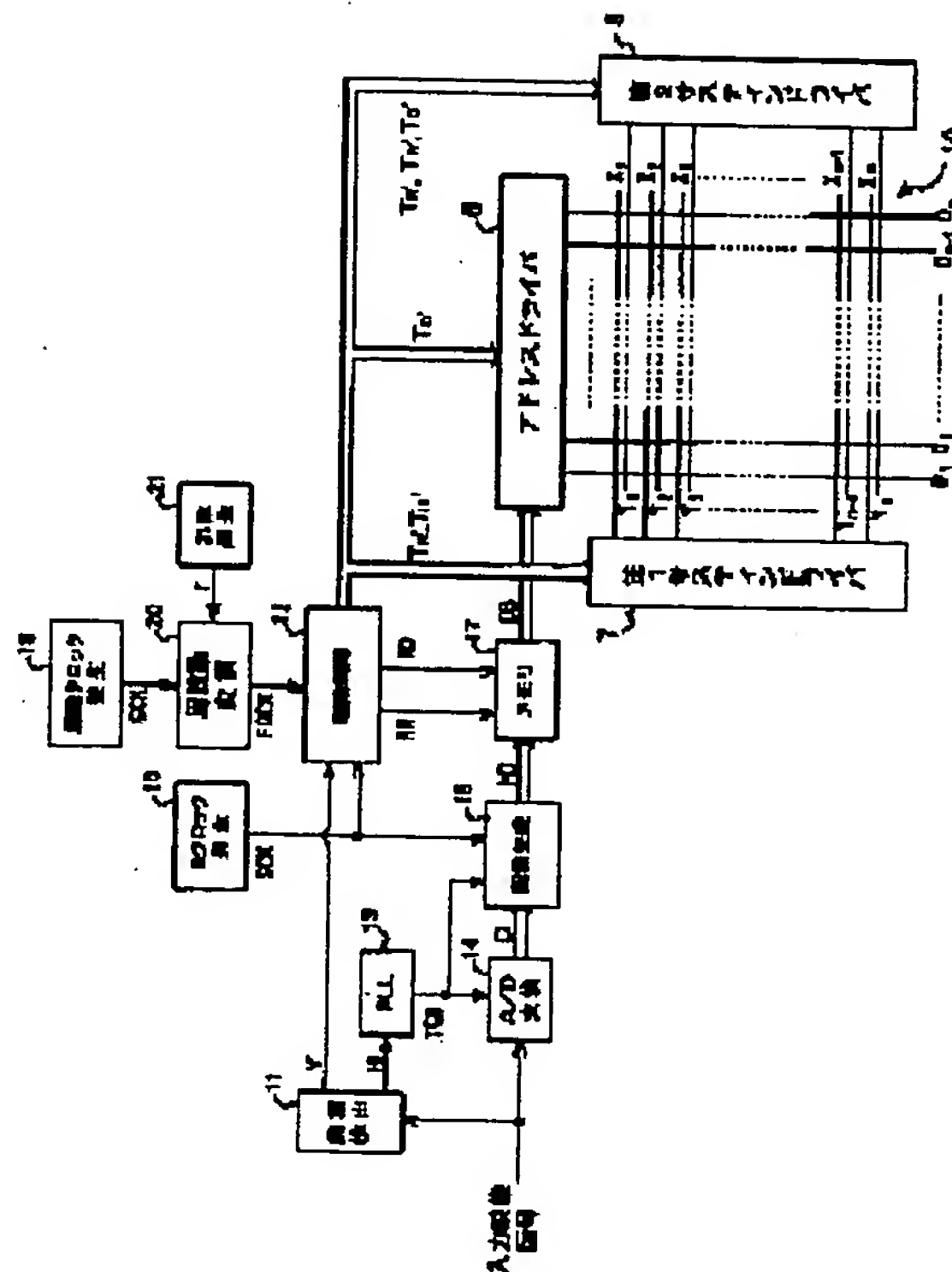
Also published as:

 US6518943 (B1)

Report a data error here

Abstract of JP2000338932

PROBLEM TO BE SOLVED: To reduce the radiation noise by fluctuating the application timing of a drive pulse to be repeatedly applied to row electrodes and column electrodes according to the lapse of time. **SOLUTION:** A frequency modulation circuit 20 modulates the frequency of a drive clock signal GCK in a modulation period according to a random number (r) and supplies it to a drive control circuit 12. An address driver 6 generates a picture element data pulse group DP conforming to each of picture element drive data bit groups DB read from a memory 17 at a timing according to a data timing signal TD' and successively applies it to column electrodes. The data timing signal TD' is generated on the basis of the frequency modulation drive clock signal FGCK. Accordingly, the application period of the picture element data pulse groups DP is also changed every moment according to the period fluctuation of the clock signal FGCK.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-338932

(P2000-338932A)

(43)公開日 平成12年12月8日(2000.12.8)

(51)Int. Cl.⁷

識別記号

F I

テ-マ-ト(参考)

G 0 9 G 3/28

G 0 9 G 3/28

H 5C080

3/20

6 1 1

3/20

6 1 1

C

6 1 2

6 1 2

K

6 2 4

6 2 4

N

審査請求 未請求 請求項の数 3

O L

(全9頁)

(21)出願番号

特願平11-153497

(22)出願日

平成11年6月1日(1999.6.1)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 増村 有紀

静岡県袋井市鷺巣字西ノ谷15番地1

バイオニア株式会社静岡工場内

(74)代理人 100079119

弁理士 藤村 元彦

Fターム(参考) 5C080 AA05 BB05 DD12 EE29 FF12

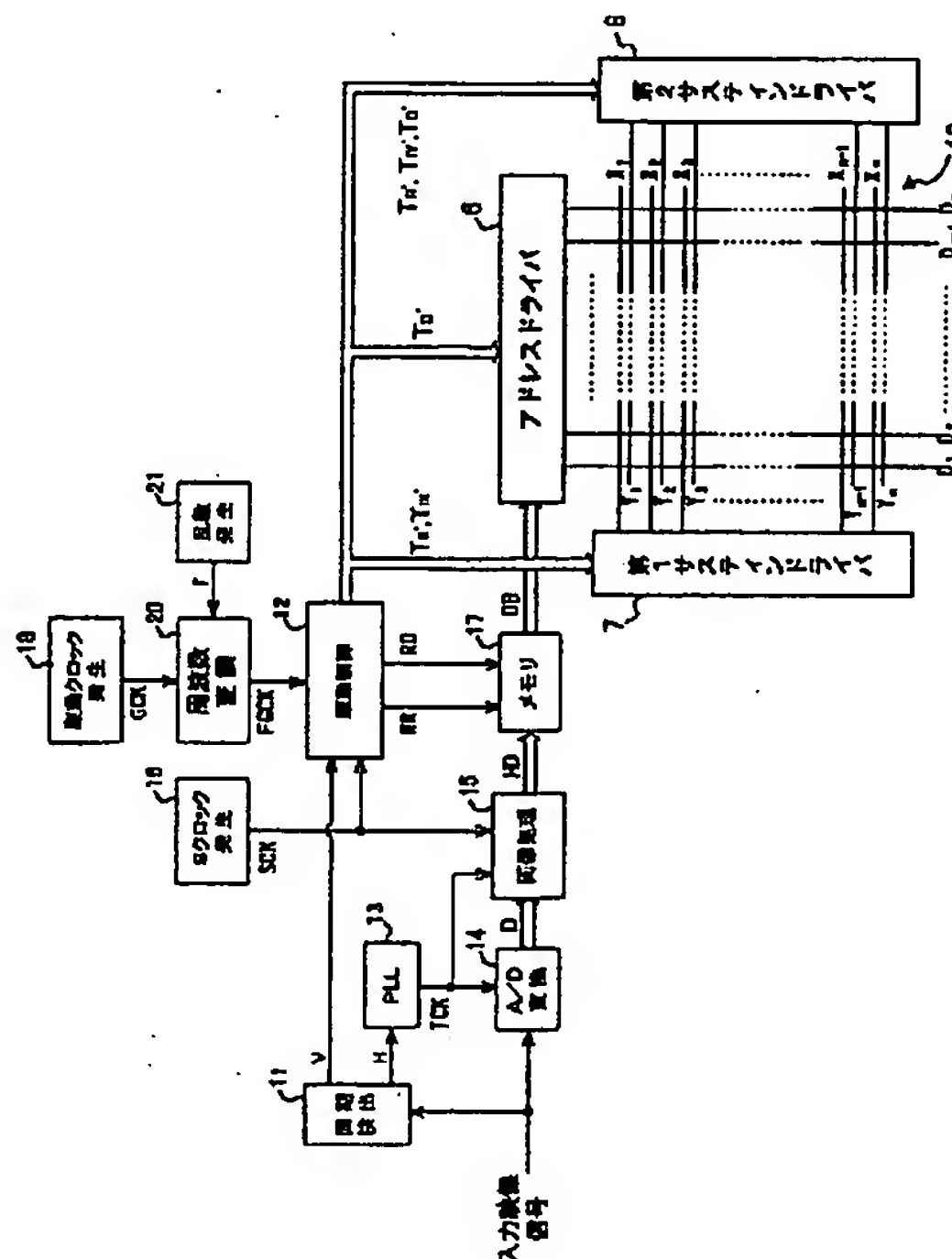
GG12 HH02 JJ02 JJ04 JJ05

(54)【発明の名称】 プラズマディスプレイパネルの駆動装置

(57)【要約】

【課題】 放射ノイズを低減させることが出来るプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【解決手段】 プラズマディスプレイパネルの行電極及び列電極に繰り返し印加する駆動パルスの各印加タイミングを時間経過に従って変動せしめる。



【特許請求の範囲】

【請求項1】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて放電セルを形成しているプラズマディスプレイパネルを駆動する駆動装置であって、

入力映像信号に応じて前記行電極及び前記列電極の各々に所定の駆動パルスを繰り返し印加するパネル駆動手段と、

前記駆動パルスの印加タイミングを時間の経過に従って変動せしめる印加タイミング変動手段と、を有すること

を特徴とするプラズマディスプレイパネルの駆動装置。
【請求項2】 前記印加タイミング変動手段は、所定の固定周波数を有する駆動クロック信号を発生する駆動クロック発生回路と、前記駆動クロック信号の周波数を変調して周波数変調駆動クロック信号を生成する周波数変調回路とからなり、

前記パネル駆動手段は、前記周波数変調駆動クロック信号に応じた印加タイミングで前記駆動パルスを前記行電極及び前記列電極の各々に繰り返し印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動装置。

【請求項3】 乱数を発生する乱数発生回路を備え、前記周波数変調回路は、前記乱数に応じた変調周期に応じて前記駆動クロック信号の周波数を変動させることにより前記周波数変調駆動クロック信号を得ることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、マトリクス表示方式のプラズマディスプレイパネルを駆動する駆動装置に関する。

【0002】

【従来の技術】 近年、表示装置の大画面化に伴って薄型の表示デバイスが切望されている。AC（交流放電）型のプラズマディスプレイパネルは、薄型、かつ自発光の表示デバイスの1つとして着目されている。この際、プラズマディスプレイパネルにおける1画素に対応した放電セルは、放電現象を利用して発光表示を行うものである為、“発光”及び“非発光”の2つの状態しかもない。そこで、かかるプラズマディスプレイパネルに対して、映像信号に応じた中間調の輝度表示を実現させるべく、サブフィールド法を用いた駆動を行う。

【0003】 サブフィールド法では、1フィールド期間をN個のサブフィールドに分割し、各サブフィールドに、画素データ（映像信号を各画素毎に対応させてサンプリングしたNビットのデータ）の各ビット桁の重み付けに対応した分の発光回数を夫々割り当てる。ここで、先ず、上記画素データに基づいて、“発光”を実施させるサブフィールドと、“発光”を実施させないサブフィール

ドとを設定する。次に、これらN個のサブフィールドの内で、“発光”を実施させるように設定したサブフィールドにおいてのみで、そのサブフィールドに割り当てた発光回数の分だけ放電を生起させるのである。

【0004】 例えば、図1に示されるように、1フィールド期間を4個のサブフィールドSF1～SF4に分割した場合には、これらサブフィールドSF1～SF4各々に、

SF1：1

SF2：2

SF3：4

SF4：8

なる発光回数を割り当てる。

【0005】 ここで、サブフィールドSF1及びSF2のみで放電を生起させると輝度“3”、サブフィールドSF1～SF3において放電を生起させると輝度“7”の表示輝度が視覚上において感じられる。図2は、かかるサブフィールド法を用いた駆動により、画像表示を行うプラズマディスプレイ装置の構成を示す図である。

【0006】 図2に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネル10（以下、PDP10と称する）と、入力映像信号に応じてこのPDP10を駆動する駆動部とから構成されている。PDP10は、アドレス電極としてのm個の列電極D₁～D_mと、これら列電極各々と交叉して配列されてなる夫々n個の行電極X₁～X_n及び行電極Y₁～Y_nを備えている。この際、行電極X及び行電極Yの一对にて、PDP10における1行分に対応した行電極を形成している。これら列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0007】 一方、駆動部における同期検出回路11は、アナログの入力映像信号中から垂直同期信号を検出した時に垂直同期検出信号Vを発生し、これを駆動制御回路12に供給する。又、同期検出回路11は、かかる入力映像信号中から水平同期信号を検出した時には水平同期検出信号Hを発生し、これをPLL（phase locked loop）回路13に供給する。PLL回路13は、入力映像信号をPDP10の各画素に対応させてサンプリングし得るサンプリングクロック信号TCKを、水平同期検出信号Hに位相同期させて生成して、これをA/D変換器14及び画像処理回路15の各々に供給する。A/D変換器14は、入力されたアナログの入力映像信号を、上記サンプリングクロック信号TCKに応じてサンプリングしてこれを1画素毎に対応したNビットの画素データDに変換する。画像処理回路15は、かかる画素データDを上記サンプリングクロック信号TCKに応じて取り込み、この取り込んだ画素データDに対して輝度補正、逆γ補正、多階調化処理等の画像処理を施して得た

10

20

30

40

50

画像処理画素データHDをメモリ17に供給する。尚、かかる画像処理は、システムクロック信号SCKに応じて実行される。システムクロック発生回路16は、所定の第1固定周波数を有するクロック信号を上記システムクロック信号SCKとして発生して、これを画像処理回路15及び駆動制御回路12の各々に供給する。メモリ17は、駆動制御回路12から供給されてくる書込信号WRに応じて上記画像処理画素データHDを順次書き込む。かかる書込動作により1画面(n行、m列)分の書き込みが終了すると、メモリ17は、この1画面分の画像処理画素データHD_{11~nm}を各ビット桁毎に分割し、更に各行毎にグループ化したものを画素駆動データビット群DB_{1~DBn}として捉え、これらを順次、駆動制御回路12から供給された読出信号RDに応じて読み出し、アドレスドライバ6に供給する。

【0008】駆動クロック発生回路18は、所定の第2固定周波数を有するクロック信号を、駆動クロック信号GCKとして発生し、これを駆動制御回路12に供給する。駆動制御回路12は、上記システムクロック信号SCKに位相同期した書込信号WR及び読出信号RDを生成し、これらを上述した如くメモリ17に供給する。

【0009】更に、駆動制御回路12は、上記駆動クロック信号GCKに同期して、リセットタイミング信号T_Rを発生し、これを第1サスティンドライバ7及び第2サスティンドライバ8の各々に供給する。又、駆動制御回路12は、上記駆動クロック信号GCKに同期して、データタイミング信号T_Dを発生し、これをアドレスドライバ6及び第2サスティンドライバ8の各々に供給する。又、駆動制御回路12は、上記駆動クロック信号GCKに同期して、維持発光タイミング信号T_{IX}及びT_{IY}各々を発生し、夫々第1サスティンドライバ7及び第2サスティンドライバ8に供給する。

【0010】第1サスティンドライバ7は、各サブフィールド内において、上記リセットタイミング信号T_Rに応じた例えば図3に示されるが如きタイミングにて、リセットパルスRP_xを発生し、これをPDP10の行電極X_{1~n}に印加する。又、第1サスティンドライバ7は、各サブフィールド内において、上記維持発光タイミング信号T_{IX}に応じた図3に示されるが如きタイミングにて、維持パルスIP_{x1~IPxj}各々を順次発生してPDP10の行電極X_{1~n}に印加して行く。

【0011】アドレスドライバ6は、各サブフィールド内において、上記データタイミング信号T_Dに応じた図3に示されるが如きタイミングにて、上記メモリ17から読み出された画素駆動データビット群DB_{1~DBn}各々に対応した画素データパルス群DP_{1~DPn}を発生し、これらを順次、列電極D_{1~m}に印加して行く。尚、アドレスドライバ6は、画素駆動データビット群DB中における1データビットが例えば論理レベル"0"である場合には高電圧の画素データパルスを発生する一方、論

理レベル"1"である場合には低電圧(0ボルト)の画素データパルスを発生して列電極D_{1~m}に印加するものとする。

【0012】第2サスティンドライバ8は、各サブフィールド内において、上記リセットタイミング信号T_Rに応じた図3に示されるが如きタイミングにて、リセットパルスRP_yを発生し、これをPDP10の行電極Y_{1~n}に印加する。又、第2サスティンドライバ8は、各サブフィールド内において走査パルスSPを発生し、これを上記データタイミング信号T_Dに応じた図3に示されるが如きタイミングにて、行電極Y_{1~Yn}へと順次印加して行く。つまり、各走査パルスSPの印加タイミングは、上記画素データパルス群DP_{1~DPn}各々の印加タイミングに同期している。更に、第2サスティンドライバ8は、各サブフィールド内において、上記維持発光タイミング信号T_{IY}に応じた図3に示されるが如きタイミングにて、維持パルスIP_{y1~IPyj}各々を順次発生してPDP10の行電極Y_{1~n}に印加して行く。

【0013】図3において、先ず、リセット行程Rcでは、上記リセットパルスRP_x及びRP_yの同時印加に応じて、PDP10内の全ての放電セルがリセット放電され、このリセット放電の終了後、各放電セル内には、夫々所定量の壁電荷が形成される。これにより、全放電セルは"発光セル"の状態に初期設定される。次に、図3における画素データ書込行程Wcでは、走査パルスSPが印加された"行"と、高電圧の画素データパルスDPが印加された"列"との交差部の放電セルにのみ選択消去放電が生起され、その放電セル内に残存していた壁電荷が消滅する。つまり、この放電セルは、"非発光セル"の状態に推移する。一方、走査パルスSPが印加されたものの低電圧の画素データパルスDPが印加された放電セルでは、上記選択消去放電は生起されず、上記リセット行程Rcによって形成された壁電荷が残留したままとなり、"発光セル"の状態を保持する。次に、図3における発光維持行程Icでは、上記"発光セル"の状態にある放電セルのみが、維持パルスIP_{y1~IPyj}及びIP_{x1~IPxj}が交互に印加される度に放電発光する。尚、維持パルスIP_x及びIP_yの印加回数(2j個)は、このサブフィールドの重み付けに応じて予め設定されたものである。

【0014】このように、各サブフィールド内において、駆動クロック信号GCKに応じた図3に示されるが如きタイミングにて、各種駆動パルスをPDP10に印加することにより、入力映像信号に応じた中間調の輝度表示を実現するのである。しかしながら、図2に示される構成では、上記リセットパルスRP_y及びRP_x、走査パルスSP、画素データパルス群DP、維持パルスIP_y及びIP_xのパルス列によって発生する放射ノイズのスペクトルが、駆動クロック信号GCKに基づく固有の周波数に集中してしまうことにより、上記放射ノイズが増大することになる。

【0015】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、放射ノイズを低減させることが出来るプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動装置は、走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて放電セルを形成しているプラズマディスプレイパネルを駆動する駆動装置であって、

【0017】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図4は、本発明による駆動装置を採用したプラズマディスプレイ装置の概略構成を示す図である。図4に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、入力映像信号に応じてこのPDP10を駆動する駆動部とから構成されている。

【0018】PDP10は、アドレス電極としての m 個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列されてなる夫々 n 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。この際、行電極 X 及び行電極 Y の一对にて、PDP10における1行分に対応した行電極を形成している。これら列電極 D 、行電極 X 及び Y は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0019】一方、駆動部における同期検出回路11は、アナログの入力映像信号中から垂直同期信号を検出した時に垂直同期検出信号 V を発生し、これを駆動制御回路12に供給する。又、同期検出回路11は、かかる入力映像信号中から水平同期信号を検出した時には水平同期検出信号 H を発生し、これをPLL(phase locked loop)回路13に供給する。PLL回路13は、入力映像信号をPDP10の各画素に対応させてサンプリングし得るサンプリングクロック信号 TC を、水平同期検出信号 H に位相同期させて生成して、これをA/D変換器14及び画像処理回路15の各々に供給する。

【0020】A/D変換器14は、入力されたアナログの入力映像信号を、上記サンプリングクロック信号 TC に応じてサンプリングしてこれを1画素毎に対応した N ビットの画素データ D に変換する。画像処理回路15は、かかる画素データ D を上記サンプリングクロック信号 TC に応じて取り込み、この取り込んだ画素データ D に対して輝度補正、逆 γ 補正、多階調化処理等の画像

処理を施して得た画像処理画素データ HD をメモリ17に供給する。尚、かかる画像処理は、システムクロック信号 SC に応じて実行される。

【0021】システムクロック発生回路16は、所定の第1固定周波数を有するクロック信号を上記システムクロック信号 SC として発生して、これを画像処理回路15及び駆動制御回路12の各々に供給する。メモリ17は、駆動制御回路12から供給されてくる書込信号 WR に応じて上記画像処理画素データ HD を順次書き込む。かかる書込動作により1画面(n 行、 m 列)分の書き込みが終了すると、メモリ17は、この1画面分の画像処理画素データ $HD_{11 \sim nm}$ を各ビット桁毎に分割し、更に各行毎にグループ化したものを画素駆動データビット群 $DB_1 \sim DB_n$ として捉え、これらを順次、駆動制御回路12から供給された読出信号 RD に応じて読み出し、アドレスドライバ6に供給する。

【0022】駆動クロック発生回路18は、所定の第2固定周波数を有するクロック信号を、駆動クロック信号 GCK として発生し、これを周波数変調回路20に供給する。乱数発生回路21は、所定期間毎に更新される乱数 r を発生し、これを周波数変調回路20に供給する。

【0023】周波数変調回路20は、上記駆動クロック信号 GCK の周波数を乱数 r に応じた変調周期で変調することにより、その周波数を時間経過に従って逐次変動させた周波数変調駆動クロック信号 $FGCK$ を生成し、これを駆動制御回路12に供給する。例えば、周波数変調回路20は、上記駆動クロック信号 GCK の周波数を、図5に示されるが如き形態、すなわち上記乱数 r に応じた変調周期 T_r で $\pm 1\%$ の周波数変動を生起させるような形態で変調して、周波数変調駆動クロック信号 $FGCK$ を生成する。

【0024】駆動制御回路12は、上記システムクロック信号 SC に位相同期した書込信号 WR 及び読出信号 RD を夫々生成し、これらを上述した如くメモリ17に供給する。更に、駆動制御回路12は、上記周波数変調駆動クロック信号 $FGCK$ に応じてリセットタイミング信号 Tr' を発生し、これを第1サステンドライバ7及び第2サステンドライバ8の各々に供給する。又、駆動制御回路12は、上記周波数変調駆動クロック信号 $FGCK$ に応じてデータタイミング信号 Td' を発生し、これをアドレスドライバ6及び第2サステンドライバ8の各々に供給する。又、駆動制御回路12は、上記周波数変調駆動クロック信号 $FGCK$ に応じて維持発光タイミング信号 Tix' 及び Tiy' 各々を発生し、夫々第1サステンドライバ7及び第2サステンドライバ8に供給する。

【0025】第1サステンドライバ7は、各サブフィールド内において、上記リセットタイミング信号 Tr' に応じた図6に示されるが如きタイミングでリセットパルス RP_x を発生し、これをPDP10の行電極 $X_{1 \sim n}$ に

印加する。又、第1サスティンドライバ7は、各サブフィールド内において、上記維持発光タイミング信号 T_{ix}' に応じた図6に示されるが如きタイミングにて、維持パルス $IP_{x1} \sim IP_{xj}$ 各々を順次発生してPDP10の行電極 $X_{1 \sim n}$ に印加して行く。

【0026】アドレスドライバ6は、各サブフィールド内において、上記データタイミング信号 T_D' に応じた図6に示されるが如きタイミングにて、上記メモリ17から読み出された画素駆動データビット群 $DB_1 \sim DB_n$ 各々に対応した画素データパルス群 $DP_1 \sim DP_n$ を発生し、これらを順次、列電極 $D_{1 \sim m}$ に印加して行く。尚、アドレスドライバ6は、画素駆動データビット群 DB 中における1データビットが例えば論理レベル"0"である場合には高電圧の画素データパルスを発生する一方、論理レベル"1"である場合には低電圧(0ボルト)の画素データパルスを発生して列電極 $D_{1 \sim m}$ に印加するものとする。

【0027】第2サスティンドライバ8は、各サブフィールド内において、上記リセットタイミング信号 T_R' に応じた図6に示されるが如きタイミングにて、リセットパルス RP_Y を発生し、これをPDP10の行電極 $Y_{1 \sim n}$ に印加する。又、第2サスティンドライバ8は、各サブフィールド内において走査パルス SP を発生し、これを上記データタイミング信号 T_D' に応じた図6に示されるが如きタイミングにて、行電極 $Y_1 \sim Y_n$ へと順次印加して行く。つまり、各走査パルス SP の印加タイミングは、上記画素データパルス群 $DP_1 \sim DP_n$ 各々の印加タイミングに同期している。更に、第2サスティンドライバ8は、各サブフィールド内において、上記維持発光タイミング信号 T_{ix}' に応じた図6に示されるが如きタイミングにて、維持パルス $IP_{y1} \sim IP_{yj}$ 各々を順次発生してPDP10の行電極 $Y_{1 \sim n}$ に印加して行く。

【0028】この際、上記データタイミング信号 T_D' は、周波数変調回路20によって、図5に示されるが如き形態にて周波数変調の施された周波数変調駆動クロック信号 $FGCK$ に基づいて生成されたものである。よって、画素データパルス群 $DP_1 \sim DP_n$ 及び走査パルス SP 各々の印加周期もこの周波数変調駆動クロック信号 $FGCK$ の周期変動に応じて刻一刻と変化することになる。例えば、図6に示されるように、画素データパルス群 DP_1 が印加されてから画素データパルス群 DP_2 が印加されるまでの印加周期 t_1 と、画素データパルス群 DP_2 が印加されてから画素データパルス群 DP_3 が印加されるまでの印加周期 t_2 とは、互いに異なる周期となる。

【0029】又、上記維持発光タイミング信号 T_{ix}' 及び T_{ix} も、図5に示されるが如き形態にて周波数変調の施された周波数変調駆動クロック信号 $FGCK$ に基づいて生成されたものである。よって、維持パルス $IP_{y1} \sim IP_{yj}$ ($IP_{x1} \sim IP_{xj}$)各々の印加周期もこの周波数

変調駆動クロック信号 $FGCK$ の周期変動に応じて刻一刻と変化することになる。例えば、図6に示されるように、維持パルス IP_{y1} (IP_{x1})が印加されてから次の維持パルス IP_{y2} (IP_{x2})が印加されるまでの印加周期 t_3 と、維持パルス IP_{y2} (IP_{x2})が印加されてからその次の維持パルス IP_{y3} (IP_{x3})が印加されるまでの印加周期 t_4 とは、互いに異なる周期となる。

【0030】更に、図5に示されるが如き周波数変調駆動クロック信号 $FGCK$ の周波数変動の周期 T_r も、乱数発生回路21が発生した乱数 r によって刻一刻と変化させるようにしている。よって、画素データパルス DP 、維持パルス IP の如き、PDP10に繰り返し印加される駆動パルスのパルス列によって発生する放射ノイズのスペクトルが固有の周波数に集中することが無くなり、放射ノイズの増大を抑制することが出来る。

【0031】

【発明の効果】以上詳述した如く、本発明においては、プラズマディスプレイパネルの行電極及び列電極に繰り返し印加する駆動パルスの各印加タイミングを時間経過に従って変動せしめることにより、駆動パルスのパルス列によって発生する放射ノイズのスペクトルが固有の周波数に集中することを防止している。

【0032】よって、本発明によれば、かかる駆動パルスのパルス列によって発生する放射ノイズの増大が抑制される。

【図面の簡単な説明】

【図1】サブフィールド法による発光駆動フォーマットの一例を示す図である。

【図2】プラズマディスプレイ装置の概略構成を示す図である。

【図3】1サブフィールド内においてPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

【図4】本発明による駆動装置を採用したプラズマディスプレイ装置の概略構成を示す図である。

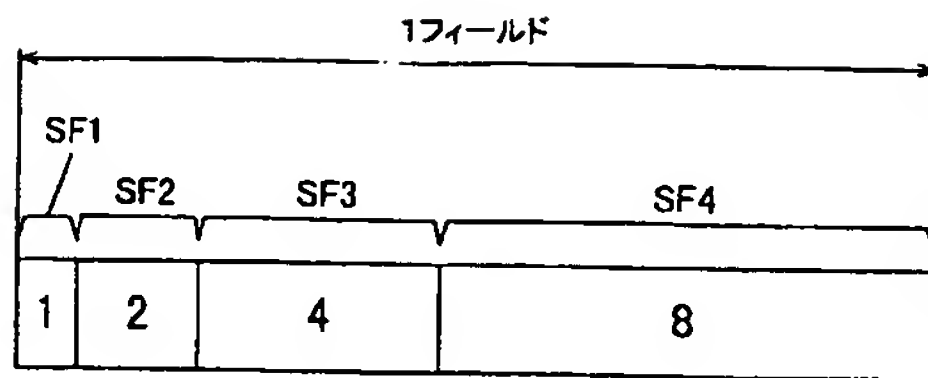
【図5】周波数変調回路20による駆動クロック信号 $FGCK$ に対する周波数変調形態の一例を示す図である。

【図6】本発明による駆動装置によってPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

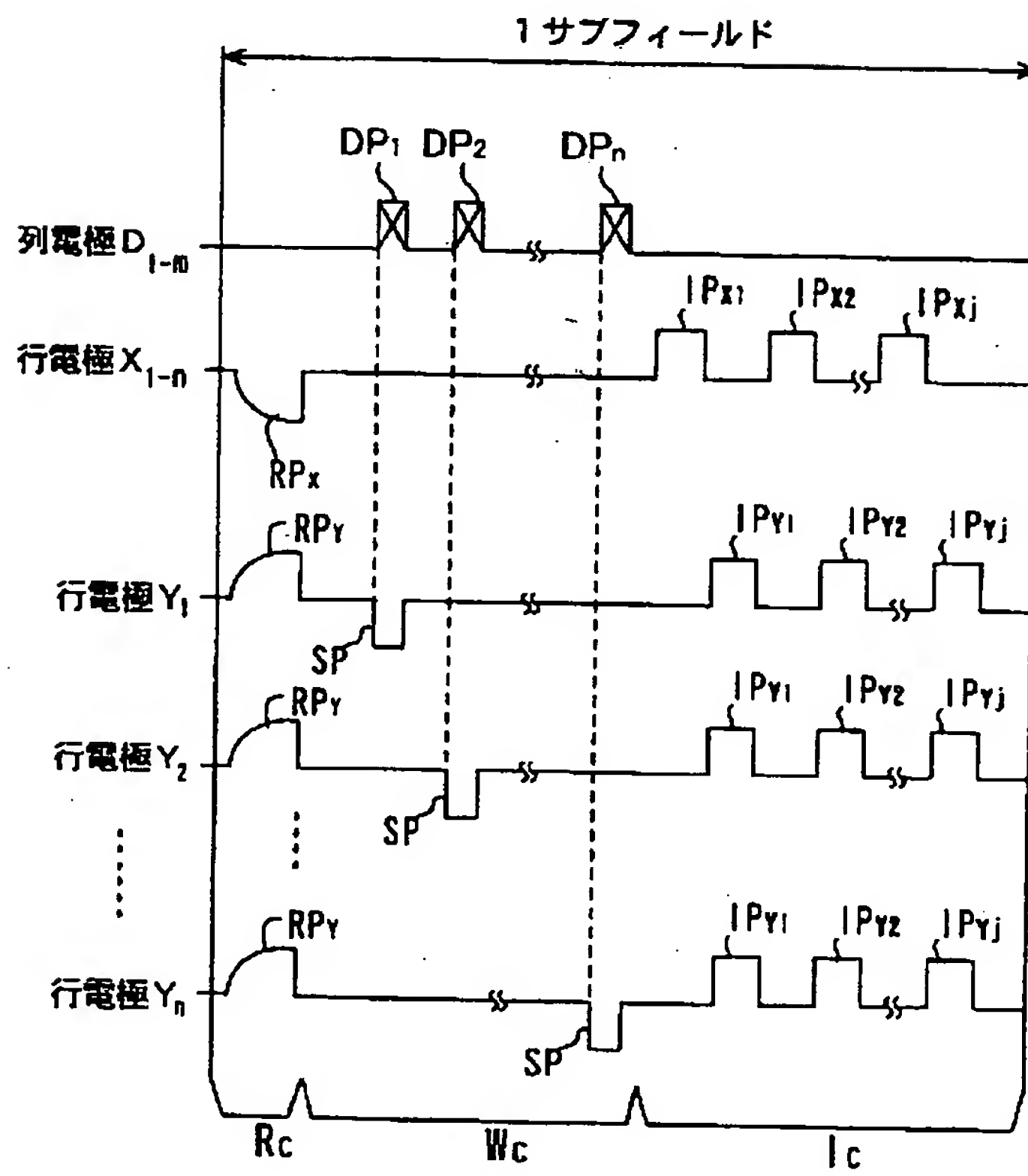
【主要部分の符号の説明】

- 6 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP
- 12 駆動制御回路
- 18 駆動クロック発生回路
- 20 周波数変調回路
- 21 乱数発生回路

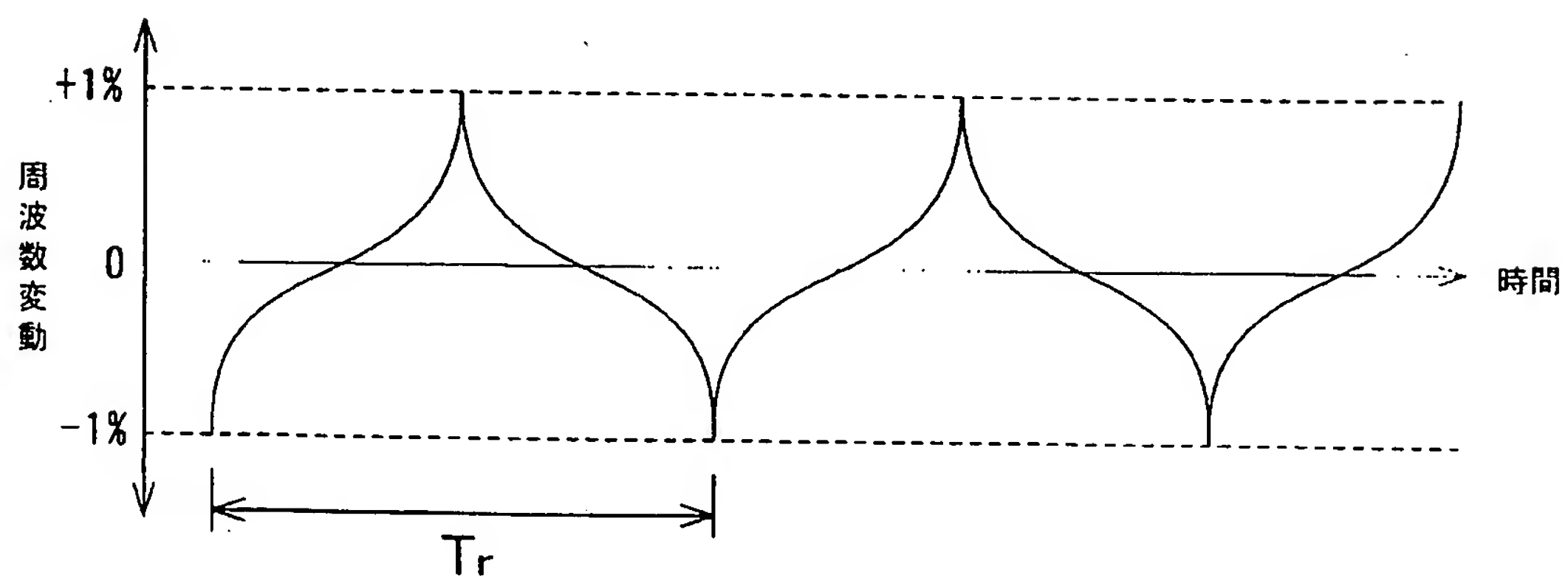
【図1】



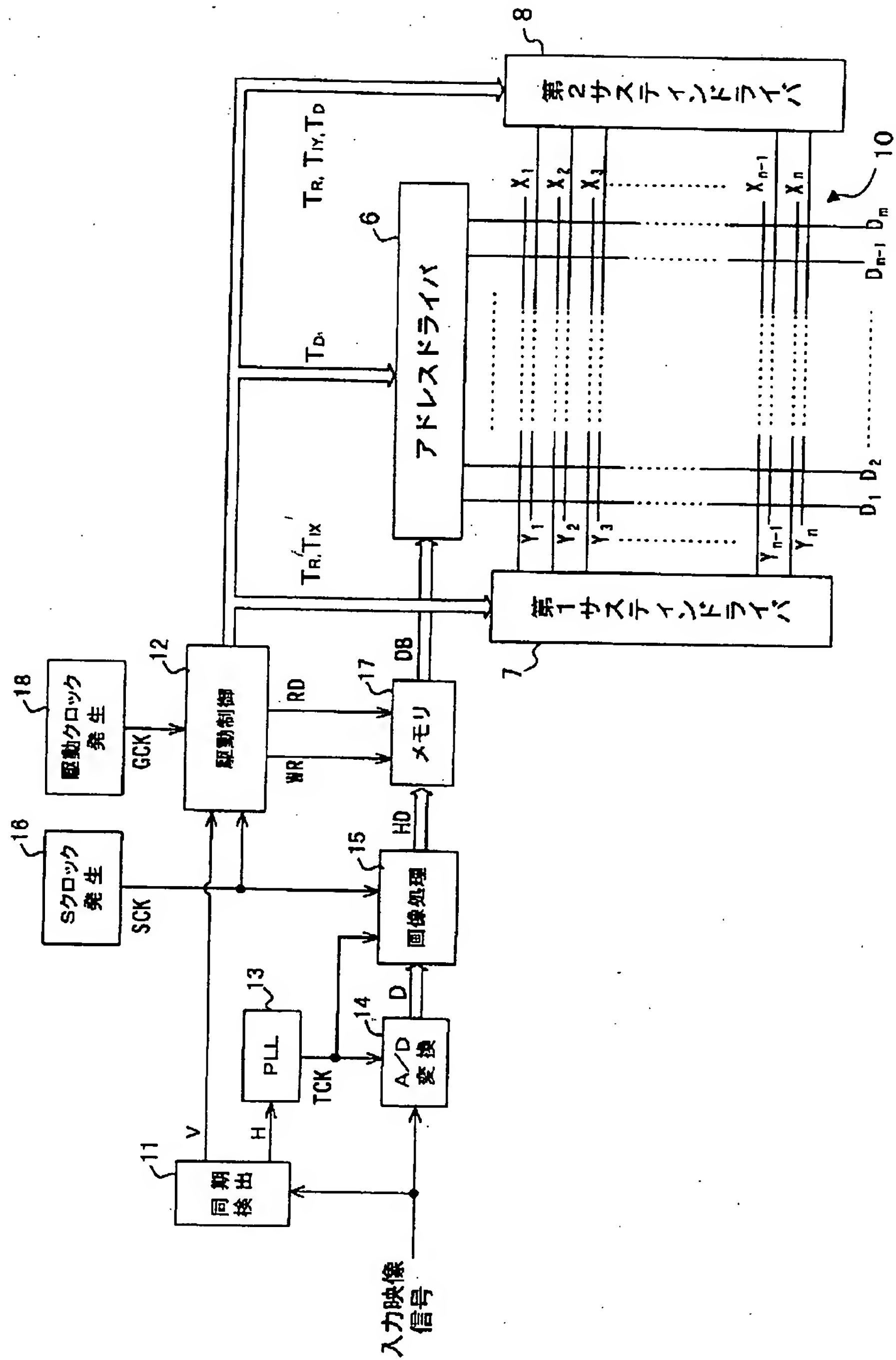
【図3】



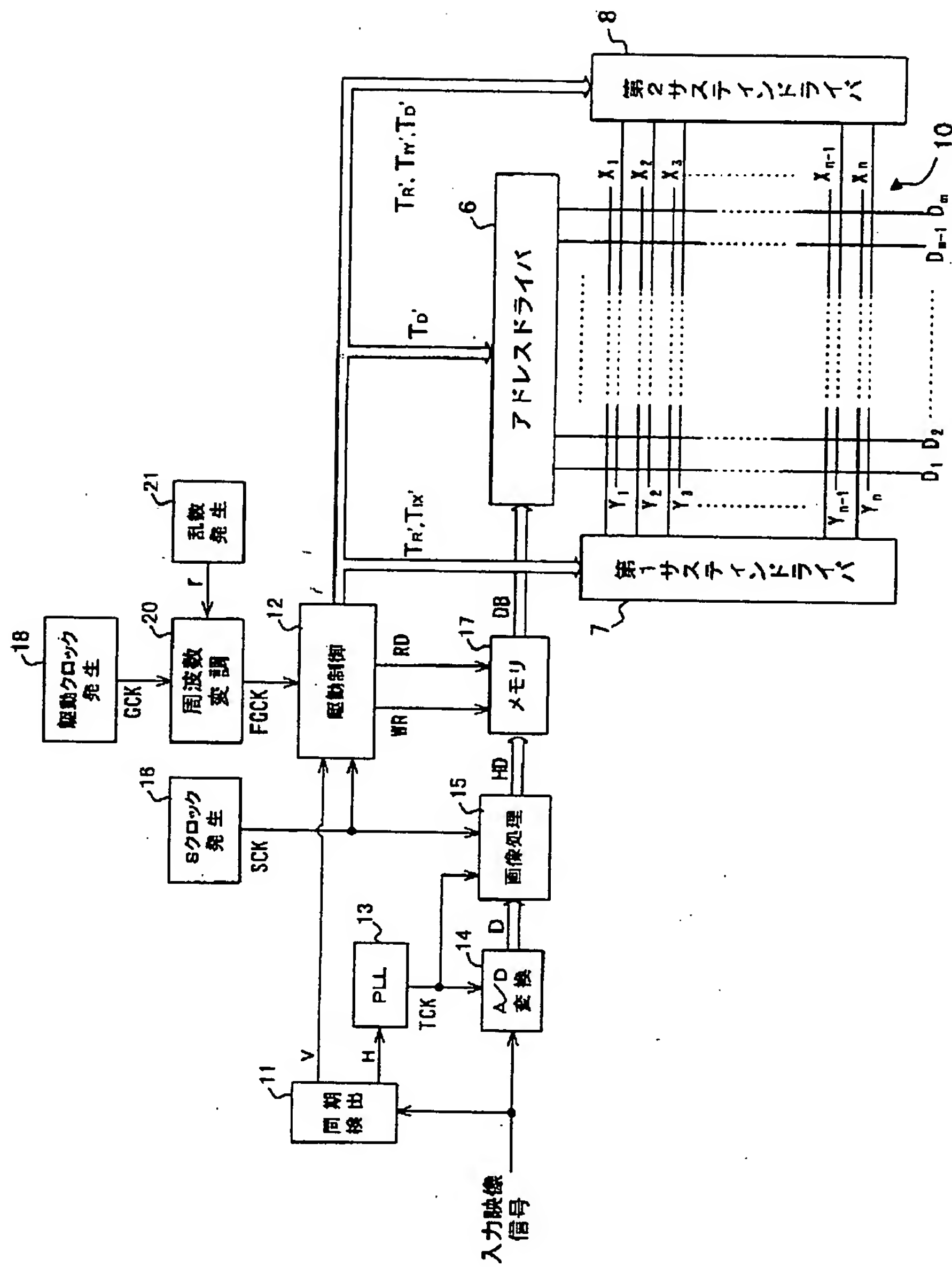
【図5】



【図2】



【図4】



【図6】

